

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-45125

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl.<sup>5</sup>

G 0 5 F 3/30

識別記号

F I

G 0 5 F 3/30

審査請求 未請求 請求項の数24 OL (全 16 頁)

(21) 出願番号 特願平9-203201

(22) 出願日 平成9年(1997) 7月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 番場 博則

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

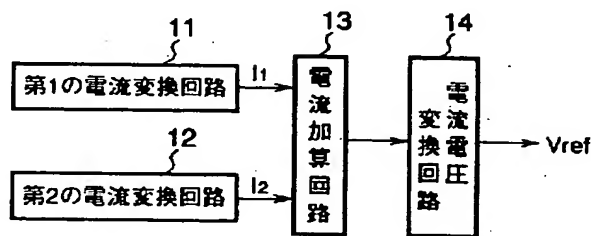
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 基準電圧発生回路および基準電流発生回路

(57) 【要約】

【課題】 基準電圧発生回路から出力する温度依存性、電源電圧依存性が少ない電圧を電源電圧内の任意の値に設定し、1. 25 V以下で動作可能にする。

【解決手段】 PN接合の順方向電圧をその電圧に比例した第1の電流量に変換する第1の電流変換回路11と、電流密度を変えたPN接合の順方向電圧の差をその電圧に比例した第2の電流量に変換する第2の電流変換回路12と、第1の電流変換回路により得られた第1の電流量と前記第2の電流変換回路により得られた第2の電流量とを加える電流加算回路13と、第3の電流量を電圧に変換する電流電圧変換回路14とを具備し、PN接合以外の能動素子としてMOSトランジスタが用いられる。



1

## 【特許請求の範囲】

【請求項 1】 PN 接合の順方向電圧をその電圧に比例した第 1 の電流量に変換する第 1 の電流変換回路と、電流密度を変えた PN 接合の順方向電圧の差をその電圧に比例した第 2 の電流量に変換する第 2 の電流変換回路と、

前記第 1 の電流変換回路により得られた第 1 の電流量と前記第 2 の電流変換回路により得られた第 2 の電流量とが加えられた第 3 の電流量を電圧に変換する電流電圧変換回路とを具備し、前記 PN 接合以外の能動素子として 10 M I S トランジスタを用いて構成されていることを特徴とする基準電圧発生回路。

【請求項 2】 PN 接合の順方向電圧をその電圧に比例した第 1 の電流量に変換する第 1 の電流変換回路と、電流密度を変えた PN 接合の順方向電圧の差をその電圧に比例した第 2 の電流量に変換する第 2 の電流変換回路と、

前記第 1 の電流変換回路により得られた第 1 の電流量と前記第 2 の電流変換回路により得られた第 2 の電流量とが加えられた第 3 の電流量を電圧に変換する電流電圧変換回路とを具備し、

前記第 2 の電流変換回路は、

電源ノードと接地ノードとの間に直列に接続された第 1 の PMOS トランジスタおよび第 1 の PN 接合と、電源ノードと接地ノードとの間に直列に接続され、前記第 1 の PMOS トランジスタとソース同士・ゲート同士が接続された第 2 の PMOS トランジスタ、第 1 の抵抗素子および複数個並列接続された第 2 の PN 接合と、電源ノードにソースが接続され、前記第 2 の PMOS トランジスタとゲート同士が接続された第 3 の PMOS トランジスタと、

前記第 1 の PN 接合の特性に依存する第 1 の電圧および前記第 1 の抵抗素子と第 2 の PN 接合の特性に依存する第 2 の電圧が差動増幅回路に入力し、この差動増幅回路の出力を前記第 1 の PMOS トランジスタのゲートおよび第 2 の PMOS トランジスタのゲートに印加し、前記第 1 の電圧および第 2 の電圧が略等しくなるように制御するフィードバック制御回路を有し、

前記第 1 の電流変換回路は、電源ノードにソースが接続され、前記第 1 の電圧と略等しい電圧がゲートに印加され、前記第 4 の PMOS トランジスタを有し、

前記電流電圧変換回路は、前記第 3 の PMOS トランジスタのドレインと前記第 4 の PMOS トランジスタのドレインとを接続し、この接続ノードと接地ノードとの間に電流電圧変換用の抵抗素子を接続してなることを特徴とする基準電圧発生回路。

【請求項 3】 請求項 2 記載の基準電圧発生回路において、

前記第 1 の電流変換回路は、

電源ノードと接地ノードとの間に直列に接続され、前記 50

2

第 4 の PMOS トランジスタとソース同士・ゲート同士が接続された第 5 の PMOS トランジスタおよび第 2 の抵抗素子と、

前記第 1 の電圧と前記第 2 の抵抗素子の一端ノードの電圧とを差動増幅した出力を前記第 5 の PMOS トランジスタのゲートに印加し、前記第 2 の抵抗素子の端子電圧が前記第 1 の電圧と略等しくなるようにフィードバック制御する制御回路 とをさらに具備することを特徴とする基準電圧発生回路。

【請求項 4】 PN 接合の順方向電圧をその電圧に比例した第 1 の電流量に変換する第 1 の電流変換回路と、電流密度を変えた PN 接合の順方向電圧の差をその電圧に比例した第 2 の電流量に変換する第 2 の電流変換回路と、

前記第 1 の電流変換回路により得られた第 1 の電流量と前記第 2 の電流変換回路により得られた第 2 の電流量とが加えられた第 3 の電流量を電圧に変換する電流電圧変換回路とを具備し、

前記第 2 の電流変換回路は、

電源ノードと接地ノードとの間に直列に接続された第 1 の PMOS トランジスタおよび第 1 の PN 接合と、電源ノードと接地ノードとの間に直列に接続され、前記第 1 の PMOS トランジスタとソース同士・ゲート同士が接続された第 2 の PMOS トランジスタ、第 1 の抵抗素子および複数個並列接続された第 2 の PN 接合と、前記第 1 の PN 接合の特性に依存する第 1 の電圧および前記第 2 の PN 接合の特性に依存する第 2 の電圧が差動増幅回路に入力し、この差動増幅回路の出力を前記第 1 の PMOS トランジスタのゲートおよび第 2 の PMOS トランジスタのゲートに印加し、前記第 1 の電圧および第 2 の電圧が略等しくなるように制御するフィードバック制御回路を有し、

前記第 1 の電流変換回路は、前記第 1 の PN 接合および前記第 1 の抵抗素子と第 2 の PN 接合との直列回路にそれぞれ対応して並列に接続された第 2 の抵抗素子を有し、

前記電流電圧変換回路は、

電源ノードにソースが接続され、前記第 2 の PMOS トランジスタとゲート同士が接続された第 3 の PMOS トランジスタと、

前記第 3 の PMOS トランジスタのドレインと接地ノードとの間に接続された電流電圧変換用の抵抗素子を有することを特徴とする基準電圧発生回路。

【請求項 5】 請求項 2 乃至 4 のいずれか 1 項に記載の基準電圧発生回路において、

前記差動増幅回路は、

各ソースが共通接続された差動増幅対をなす 2 個の NMOS トランジスタと、

前記差動増幅対をなす NMOS トランジスタのソース共通接続ノードと接地ノードとの間に接続され、ゲートに

3

バイアス電圧が印加される定電流源用NMOSトランジスタと、

前記差動増幅対をなすNMOSトランジスタのドレインと電源ノードとの間に接続され、カレントミラー接続された2個のPMOSTランジスタとを具備することを特徴とする基準電圧発生回路。

【請求項6】 請求項5記載の基準電圧発生回路において、

前記差動増幅回路は、  
電源ノードにソースが接続され、ゲート・ドレイン相互10  
が接続された第6のPMOSTランジスタと、

電源ノードにソースが接続され、前記第6のPMOSTランジスタとソース同士・ゲート同士が接続された第7のPMOSTランジスタと、

前記第6のPMOSTランジスタのドレインにドレインが接続され、ゲートに前記第2の電圧が印加される第1のNMOSTランジスタと、

前記第7のPMOSTランジスタのドレインにドレインが接続され、ゲートに前記第1の電圧が印加される第2のNMOSTランジスタと、

20

前記第1のNMOSTランジスタおよび第2のNMOSTランジスタのソース共通接続ノードと接地ノードとの間に接続され、ゲートにバイアス電圧が印加される定電流源用の第3のNMOSTランジスタとを具備することを特徴とする基準電圧発生回路。

【請求項7】 請求項2乃至4のいずれか1項に記載の基準電圧発生回路において、

前記差動増幅回路は、

各ソースが共通接続された差動増幅対をなす2個のPMOSTランジスタと、

30

前記差動増幅対をなすPMOSTランジスタのソース共通接続ノードと電源ノードとの間に接続され、ゲートにバイアス電圧が印加される定電流源用PMOSTランジスタと、

前記差動増幅対をなすPMOSTランジスタのドレインと接地ノードとの間に接続され、カレントミラー接続された2個のNMOSTランジスタとを具備することを特徴とする基準電圧発生回路。

【請求項8】 請求項7記載の基準電圧発生回路において、

40

前記差動増幅回路は、

電源ノードにソースが接続され、ゲートにバイアス電圧が印加される定電流源用の第6のPMOSTランジスタと、

前記第6のPMOSTランジスタのドレインにソースが接続され、ゲートに前記第1の電圧が印加される第7のPMOSTランジスタと、

前記第6のPMOSTランジスタのドレインにソースが接続され、ゲートに前記第2の電圧が印加される第8のPMOSTランジスタと、

50

4

前記第7のPMOSTランジスタのドレインにドレイン・ゲートが接続され、ソースが接地ノードに接続された第1のNMOSTランジスタと、

前記第8のPMOSTランジスタのドレインにドレインが接続され、前記第1のNMOSTランジスタとゲート同士・ソース同士が接続された第2のNMOSTランジスタと、

電源ノードにソースが接続され、前記第6のPMOSTランジスタとゲート同士が接続された第9のPMOSTランジスタと、

前記第9のPMOSTランジスタのドレインにドレインが接続され、ゲートに前記第2のNMOSTランジスタのドレインが接続された第3のNMOSTランジスタとを具備することを特徴とする基準電圧発生回路。

【請求項9】 請求項2乃至8のいずれか1項に記載の基準電圧発生回路において、

前記第1の電圧は、前記第1のPMOSTランジスタのドレイン電圧であり、前記第2の電圧は、前記第2のPMOSTランジスタのドレイン電圧であることを特徴とする基準電圧発生回路。

【請求項10】 請求項2乃至8のいずれか1項に記載の基準電圧発生回路において、

前記第1の電圧は、前記第1のPN接合に並列に接続された第2の抵抗素子の中間ノードの電圧であり、前記第2の電圧は、前記第1の抵抗素子と第2のPN接合との直列回路に並列に接続された第2の抵抗素子の中間ノードの電圧であることを特徴とする基準電圧発生回路。

【請求項11】 請求項2乃至8のいずれか1項に記載の基準電圧発生回路において、

前記第1のPMOSTランジスタのドレインと前記第1のPN接合との間および前記第2のPMOSTランジスタのドレインと前記第1の抵抗素子との間にそれぞれ対応して挿入接続された第3の抵抗素子をさらに有し、  
前記第1の電圧は、前記第1のPMOSTランジスタのドレイン電圧であり、前記第2の電圧は、前記第2のPMOSTランジスタのドレイン電圧であることを特徴とする基準電圧発生回路。

【請求項12】 請求項5または6に記載の基準電圧発生回路において、

前記バイアス電圧として前記第1の電圧が印加されることを特徴とする基準電圧発生回路。

【請求項13】 請求項5または6に記載の基準電圧発生回路において、

前記バイアス電圧として前記電流電圧変換回路の出力電圧が印加されることを特徴とする基準電圧発生回路。

【請求項14】 請求項5または6に記載の基準電圧発生回路において、

前記バイアス電圧を生成するための回路として、電源ノードにソースが接続され、ゲートに前記差動増幅回路の出力電圧が印加されるPMOSTランジスタと、前記P

5

MOSトランジスタのドレインと接地ノードとの間に接続され、ドレイン・ゲート相互が接続されたNMOSトランジスタとを具備し、前記PMOSトランジスタのドレイン電圧が前記バイアス電圧となることを特徴とする基準電圧発生回路。

【請求項15】 請求項7または8に記載の基準電圧発生回路において、前記バイアス電圧として前記差動増幅回路の出力電圧が印加されることを特徴とする基準電圧発生回路。

【請求項16】 請求項7または8に記載の基準電圧発生回路において、前記バイアス電圧を生成するための回路として、電源ノードにソースが接続され、ゲート・ドレイン相互が接続されたPMOSトランジスタと、前記PMOSトランジスタのドレインと接地ノードとの間に接続され、ゲートに前記第1の電圧が印加されるNMOSトランジスタとを具備し、前記PMOSトランジスタのドレイン電圧が前記バイアス電圧となることを特徴とする基準電圧発生回路。

【請求項17】 請求項3記載の基準電圧発生回路において、前記電流電圧変換用または前記第2の抵抗素子は、複数の電圧レベルを生成可能な構造を有することを特徴とする基準電圧発生回路。

【請求項18】 請求項17に記載の基準電圧発生回路において、前記抵抗素子は、少なくとも1つの分圧ノードを有し、前記抵抗素子の一端ノードまたは前記分圧ノードと基準電圧の出力端との間を選択的に接続するためのスイッチ素子を具備することを特徴とする基準電圧発生回路。

【請求項19】 請求項2乃至17のいずれか1項に記載の基準電圧発生回路において、前記電流電圧変換用の抵抗素子は、少なくとも1つの分圧ノードを有し、前記電流電圧変換用の抵抗素子の一端ノードまたは前記分圧ノードから選択的に電流電圧変換出力電圧を取り出すために接続されたスイッチ素子を具備することを特徴とする基準電圧発生回路。

【請求項20】 請求項18または19に記載の基準電圧発生回路において、前記スイッチ素子は、PMOSトランジスタおよびNMOSトランジスタが並列接続されて相補信号により駆動されるCMOSトランスファゲートであることを特徴とする基準電圧発生回路。

【請求項21】 請求項1乃至20のいずれか1項に記載の基準電圧発生回路において、前記電流電圧変換回路は、負荷駆動力が異なる少なくとも2組の電流電圧変換回路を有することを特徴とする基準電圧発生回路。

【請求項22】 請求項2乃至21のいずれか1項に記

6

載の基準電圧発生回路において、さらに、前記第1の電圧の取り出しノードと接地ノードとの間または前記差動増幅回路の出力ノードと電源ノードとの間に、キャパシタが接続されていることを特徴とする基準電圧発生回路。

【請求項23】 請求項1乃至22のいずれか1項に記載の基準電圧発生回路において、さらに、前記差動増幅回路の出力ノードと接地ノードとの間に、前記出力ノードを電源投入時に一時的に接地電位にリセットするためのスタートアップ用のNMOSトランジスタが接続されており、そのゲートに電源投入時に生成されるパワーオンリセット信号が印加されることを特徴とする基準電圧発生回路。

【請求項24】 PN接合の順方向電圧をその電圧に比例した第1の電流量に変換する第1の電流変換回路と、電流密度を変えたPN接合の順方向電圧の差をその電圧に比例した第2の電流量に変換する第2の電流変換回路と、前記第1の電流変換回路により得られた第1の電流量と前記第2の電流変換回路により得られた第2の電流量を加える電流加算回路とを具備し、前記PN接合以外の能動素子としてMISトランジスタを用いて構成されていることを特徴とする基準電流発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に形成される基準電圧発生回路および基準電流発生回路に係り、特にMOSトランジスタを使用して構成された基準電圧発生回路および基準電流発生回路に関するもので、例えば電源電圧より低い基準電圧を使用する半導体装置に形成される。

【0002】

【従来の技術】従来、温度依存性、電源電圧依存性が少ない基準電圧発生回路として知られているバンドギャップレファレンス(BGR)回路は、シリコンのバンドギャップ値(1.205V)とほぼ等しい基準電圧を発生することから命名されており、高精度の基準電圧を得る場合によく使われる。

【0003】半導体装置に形成される従来のバイポーラトランジスタを使用して構成されたBGR回路は、PN接合ダイオードあるいはコレクタ・ベース相互が接続されたトランジスタのベース・エミッタ間PN接合(以下、ダイオードと記す)の順方向電圧 $V_F$ (負の温度係数を持つ)と、電流密度を変えたダイオードの順方向電圧 $V_F$ の差の電圧(正の温度係数を持つ)の数倍の電圧とを加算し、温度係数がほぼ零の約1.25Vを出力するように構成されている。

【0004】現在、半導体装置の低電圧化が進んでいるが、BGR回路の出力電圧が約1.25Vである場合には電源電圧の下限は1.25V+ $\alpha$ であった。従って、

7

トランジスタの閾値などの調整により $\alpha$ を小さくしても、1.25V以下の電源電圧で半導体装置を動作させることはできなかった。

【0005】以下、この点について詳細に説明する。図21は、NPNトランジスタを使用して構成された従来例1のBGR回路の基本構成を示す。

【0006】図21において、Q1、Q2、Q3はNPN

$$V_2 = V_{BE1} - V_{BE2} = V_T \cdot \ln(I_1 / I_2) \quad \dots (1)$$

となり、

$$\begin{aligned} V_{ref} &= V_{BE3} + (R_3 / R_2) V_2 \\ &= V_{BE3} + (R_3 / R_2) V_T \cdot \ln(I_1 / I_2) \end{aligned} \quad \dots (2)$$

となる。

【0008】(2)式の第1項はほぼ $-2\text{mV}/^\circ\text{C}$ の温度係数をもつが、(2)式の第2項において、熱電圧 $V_T$  ※

$$(R_3 / R_2) (k/q) \ln(I_1 / I_2) \quad \dots (3)$$

の温度係数をもつので、 $V_{ref}$ の温度係数が零となる条件は、

$$k = 1.38 \times 10^{-23} \text{ J/K} \quad \dots (4)$$

$$q = 1.6 \times 10^{-19} \text{ C} \quad \dots (5)$$

(6) 20

を代入すると、

$$(R_3 / R_2) \ln(I_1 / I_2) = 23.2 \quad \dots (7)$$

になる。

【0009】(2)式において、 $23^\circ\text{C}$ において $V_{BE3} = 0.65\text{V}$

$$V_{ref} = 0.65 + 0.6 = 1.25\text{V} \quad \dots (8)$$

となり、この値はシリコンのバンドギャップ値(1.205)にほぼ等しい。

【0010】しかし、上記した図21のBGR回路は出力電圧が1.25Vで可変にはできない点と、電源電圧を1.25V以下にすることはできないという問題点がある。

【0011】図22は、バイポーラトランジスタを使用しないで構成された従来例2のBGR回路の基本構成を示す。このBGRは、1個のダイオードD1、N個のダイオードの特性を次式で表わすと、

$$I_1 / I_2 = R_2 / R_1 \quad \dots (9)$$

$$I = I_s \{ e^{(q \cdot V_F / k \cdot T)} - 1 \} \quad \dots (10)$$

$$V_F \gg q / k \cdot T = 26\text{mV} \quad \dots (11)$$

式中、 $I_s$ は(逆方向)飽和電流、 $V_F$ は順方向電圧である。

$$V_F = V_T \cdot \ln(I / I_s) \quad \dots (12)$$

のように表わせる。

$$\begin{aligned} \Delta V_F &= V_{F1} - V_{F2} = V_T \cdot \ln(N \cdot I_1 / I_2) \\ &= V_T \cdot \ln(N \cdot R_2 / R_1) \end{aligned} \quad \dots (13)$$

となる。

【0015】熱電圧 $V_T$ は $0.086\text{mV}/^\circ\text{C}$ の正の温度係数を

$$V_{ref} = V_{F1} + (R_2 / R_3) \Delta V_F \quad \dots (14)$$

$$\partial V_{ref} / \partial T = 0 \quad \dots (15)$$

となる条件に抵抗素子 $R_1$ 、 $R_2$ 、 $R_3$ の抵抗値を設定する。

8

\*Nトランジスタ、 $R_1$ 、 $R_2$ 、 $R_3$ は抵抗素子、 $I$ は電流源、 $V_{BE1}$ 、 $V_{BE2}$ 、 $V_{BE3}$ は前記トランジスタQ1、Q2、Q3のベース・エミッタ間電圧、 $V_{ref}$ は出力電圧(基準電圧)である。

【0007】トランジスタQ1、Q2の特性が揃っていると、トランジスタQ2のエミッタ電圧 $V_2$ は、

※は、

$$V_T = k \cdot T / q \quad \dots (3)$$

であり、

\*件は、

☆65Vとすると、

◆イオードD2と、抵抗素子 $R_1$ 、 $R_2$ 、 $R_3$ と、CMOSトランジスタからなる1個の差動増幅回路DAと、1個のPMOSトランジスタTPにより構成されている。

【0012】前記差動増幅回路DAのー側入力にはダイオードD1の一端ノードの電圧 $V_A$ 、+側入力にはダイオードD2の一端ノードの電圧 $V_B$ が入力され、 $V_A$ と $V_B$ が等しくなる( $R_1$ と $R_2$ の両端の電圧は等しくなる)ようにフィードバック制御される。よって、

【0013】式(11)より、式(10)中の $-1$ は無視でき、

【0014】ここで、抵抗素子 $R_3$ の両端の電圧は、

持ち、一方、ダイオードD1の順方向電圧 $V_{F1}$ は約 $-2\text{mV}/^\circ\text{C}$ の負の温度係数を持つ。よって、

【0016】一例として、 $N=10$ 個、 $R_1=R_2=600\text{k}\Omega$ 、 $R_3=60\text{k}\Omega$ とすると、 $\Delta V_F$ は電流比

1 : 10 のダイオード D1 および D2 の電圧の差とな \* \*り、  

$$V_{ref} = V_{F1} + 10 \cdot \Delta V_F = 1.25V$$

となる。

【0017】この従来例2の回路も、前述した従来例1の回路と同様に、出力電圧が1.25Vで固定である(可変でない)点と、使用する電源電圧を1.25V以下にできないという問題点がある。

【0018】

【発明が解決しようとする課題】上記したように温度依存性、電源電圧依存性が少ない基準電圧を発生する従来10のBGR回路は、出力電圧が約1.25Vで固定であり、約1.25V以下の電源電圧で動作させることはできないという問題点があった。

【0019】本発明は上記の問題点を解決すべくなされたもので、供給される電源電圧の範囲内で、温度依存性、電源電圧依存性が少ない基準電圧を任意の低電圧に設定して発生でき、しかも、1.25V以下で動作可能になる基準電圧発生回路を提供することを目的とする。また、本発明は、温度依存性、電源電圧依存性が少ない基準電流を発生し得る基準電流発生回路を提供すること20を目的とする。

【0020】

【課題を解決するための手段】本発明の基準電圧発生回路は、PN接合の順方向電圧をその電圧に比例した第1の電流量に変換する第1の電流変換回路と、電流密度を変えたPN接合の順方向電圧の差をその電圧に比例した第2の電流量に変換する第2の電流変換回路と、前記第1の電流変換回路により得られた第1の電流量と前記第2の電流変換回路により得られた第2の電流量とを加えられた第3の電流量を電圧に変換する電流電圧変換回路30とを具備し、前記PN接合以外の能動素子としてMISトランジスタを用いて構成されていることを特徴とする。

【0021】また、本発明の基準電流発生回路は、PN接合の順方向電圧をその電圧に比例した第1の電流量に変換する第1の電流変換回路と、電流密度を変えたPN接合の順方向電圧の差をその電圧に比例した第2の電流量に変換する第2の電流変換回路と、前記第1の電流変換回路により得られた第1の電流量と前記第2の電流変換回路により得られた第2の電流量を加える電流加算回路40とを具備し、前記PN接合以外の能動素子としてMISトランジスタを用いて構成されていることを特徴とする。

【0022】上述したように、本発明では、ダイオードのPN接合における順方向電圧およびその差を電流変換した後、加算するすることで、温度依存性を無くしながら任意の値の基準電圧や基準電流を発生するできる。しかもこのとき、前述の電流変換やその後の電圧変換を行う回路の主要部としての能動素子がMISトランジスタからなるため、電流変換回路、電流加算回路、電流電圧50

…(16)

変換回路の全てをCMOSの製造プロセスで形成することが可能で、大きな工程数増大を招くこともない。

【0023】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の基準電圧発生回路の基本構成を示している。図1において、11はPN接合の順方向電圧をその電圧に比例した第1の電流量に変換する第1の電流変換回路、12は電流密度を変えたPN接合の順方向電圧の差をその電圧に比例した第2の電流量に変換する第2の電流変換回路、13は前記第1の電流変換回路11により得られた第1の電流量と前記第2の電流変換回路12により得られた第2の電流量とを加えて第3の電流量を得る電流加算回路、14は前記第3の電流量を電圧に変換する電流電圧変換回路である。ここで、前記PN接合以外の能動素子としてMOSトランジスタが用いられて構成されている。次に、図1の基準電圧発生回路の第1の実施の形態を説明する。

【0024】＜実施例1＞(図2～図4)

図2は、図1の基準電圧発生回路の第1の実施の形態に係る一例を示す。図2において、図1中の第2の電流変換回路12に対応する部分は、電源電位VDDが与えられる電源ノード(VDDノード)と接地電位VSSが与えられる接地ノード(VSSノード)との間に直列に接続された第1のPMOSTランジスタP1および第1のPN接合(ダイオード)D1と、VDDノードとVSSノードとの間に直列に接続され、前記第1のPMOSTランジスタP1とソース同士・ゲート同士が接続された第2のPMOSTランジスタP2、第1の抵抗素子R1および複数個並列接続された第2のPN接合(ダイオード)D2と、VDDノードにソースが接続され、前記第2のPMOSTランジスタP2とゲート同士が接続された第3のPMOSTランジスタP3と、前記第1のPN接合D1の特性に依存する第1の電圧VAおよび前記第1の抵抗素子R1と第2のPN接合D2の特性に依存する第2の電圧VBが差動増幅回路DA1に入力し、この差動増幅回路DA1の出力を前記第1のPMOSTランジスタP1のゲートおよび第2のPMOSTランジスタP2のゲートに印加し、前記第1の電圧VAおよび第2の電圧VBが等しくなるように制御するフィードバック制御回路である。

【0025】図1中の第1の電流変換回路11に対応する部分は、VDDノードにソースが接続され、前記第1の電圧VA(またはそれと等しい電圧)がゲートに印加される第4のPMOSTランジスタP4である。本例では、第4のPMOSTランジスタP4のゲートに第1の電圧VAと等しい電圧を印加する回路を用いており、その一例として、VDDノードとVSSノードとの間に直列に

11

接続され、前記第4のPMOSトランジスタP4とソース同士・ゲート同士が接続された第5のPMOSトランジスタP5および第2の抵抗素子R3と、前記第1の電圧VAと前記第2の抵抗素子R3の一端ノードの電圧VCが差動増幅回路DA2に入力し、この差動増幅回路DA2の出力を前記第5のPMOSトランジスタP5のゲートに印加し、前記第2の抵抗素子R3の端子電圧VCが前記第1の電圧VAと等しくなるようにフィードバック制御する制御回路を用いている。

【0026】図1中の電流加算回路13に対応する部分<sup>10</sup>は、前記第3のPMOSトランジスタP3のドレインと前記第4のPMOSトランジスタP4のドレインとを接続した部分である。

【0027】図1中の電流電圧変換回路14に対応する部分は、前記第3のPMOSトランジスタP3と前記第4のPMOSトランジスタP4のドレイン共通接続ノード

$$VA = VB$$

となるようフィードバック制御される。また、PMOS

$$I1 = I2$$

となる。また、

$$VA = VF1$$

$$VB = VF2 + \Delta VF1$$

$$\Delta VF = \Delta VF1 - \Delta VF2$$

で、

$$I1 = I2 = \Delta VF / R1$$

となる。

$$VC = VA$$

となるようにフィードバック制御される。よって、

$$I5 = VC / R3 = VA / R3 = \Delta VF1 / R3$$

となる。

【0032】PMOSトランジスタP1～P3はカレ

$$I3 = I2$$

$$I4 = I5$$

となる。よって、

$$Vref = R2 (I4 + I3)$$

$$= R2 \{ (VF1 / R3) + (\Delta VF / R1) \}$$

$$= (R2 / R3) \{ VF1 + (R3 / R1) \Delta VF \}$$

ここで、R3とR1の比をVrefの温度依存性が無いように設定する。また、VrefのレベルはR2とR3の比によりほぼ電源電圧VDD内で自由に設定できる。

【0033】一例として、N=10個、R1=60k

$$Vref = (VF1 + 10 \cdot \Delta VF) / 2 = 0.625V$$

この出力電圧Vrefは、図2を参照して前述した従来例2のBGR回路の出力電圧Vref(式(16))を2で割ったものになる。式(16)で表わされる出力電圧Vrefは温度依存性が殆んどないので、式(26)で表わされる出力電圧Vrefも温度依存性が殆んどない。

【0034】そして、電流電圧変換用の抵抗素子R2の抵抗値を調整すれば、電源電圧VDD内のほぼ任意の出力電圧を発生することができる。特に上記例で示したよう

12

\*ドとVSSノードとの間に接続されている電流電圧変換用の抵抗素子R2であり、この抵抗素子R2の一端ノードに出力電圧(基準電圧)Vrefが得られる。

【0028】なお、以下の説明では、PMOSトランジスタP1～P5のサイズは等しいものとする。また、前記第1の電圧VAとして前記第1のPMOSトランジスタP1のドレイン電圧が取り出され、前記第2の電圧VBとして前記第2のPMOSトランジスタP2のドレイン電圧が取り出されている。

【0029】図2の基準電圧発生回路において、VF1、VF2はダイオードD1、D2の順方向電圧、I1、I2、I3、I4、I5はPMOSトランジスタP1～P5のドレイン電流、ΔVFはR1の両端間の電圧である。

【0030】差動増幅回路DA1により

$$\dots (17)$$

\*トランジスタP1、P2のゲートが共通であるので、

$$\dots (18)$$

★ ★ 【0031】一方、差動増幅回路DA2により

$$\dots (21)$$

<sup>30</sup> ★ トミラー回路を形成しているの、

$$\dots (23)$$

$$\dots (24)$$

◆Ω、R2=300kΩ、R3=600kΩの場合、ΔVFはダイオードの電流比1:10のダイオードD1およびD2の電圧の差となる。よって、

$$\dots (26)$$

に、R2をR3の半分の値にすると、出力電圧がVA、VB、VCに近い値となり、PMOSトランジスタP1～P3を用いたカレントミラー回路とPMOSトランジスタP4、P5を用いたカレントミラー回路は、それぞれトランジスタのドレイン電圧がほぼ同じ位になるので、特性の良いところで使用できる。

【0035】上記例では、説明を分かり易くするため、PMOSトランジスタP1～P5のサイズを同じとした



13

が、これらのサイズは同じである必要はなく、これらのサイズ比を考慮して各抵抗の値を設定すればよい。

【0036】図3は、図2中の差動増幅回路DA1、DA2の例1として、NMOS差動増幅回路とPMOSカレントミラー負荷回路を有するCMOS差動増幅回路を示す。この差動増幅回路は、入力電圧をNMOSトランジスタで受けて増幅するものである。

【0037】図3に示す差動増幅回路は、各ソースが共通接続された差動増幅対をなす2個のNMOSトランジスタN1、N2と、前記差動増幅対をなすNMOSトランジスタのソース共通接続ノードと接地ノードとの間に接続され、ゲートにバイアス電圧VRIが印加される定電流源用NMOSトランジスタN3と、前記差動増幅対をなすNMOSトランジスタのドレインとVDDノードとの間に負荷として接続され、カレントミラー接続された2個のPMOSトランジスタP6、P7とを具備する。

【0038】即ち、VDDノードにソースが接続され、ゲート・ドレイン相互が接続された第6のPMOSトランジスタP6と、VDDノードにソースが接続され、前記第6のPMOSトランジスタP6とソース同士・ゲート同士が接続された第7のPMOSトランジスタP7と、前記第6のPMOSトランジスタP6のドレインにドレインが接続され、ゲートに前記電圧VBが印加される第1のNMOSトランジスタN1と、前記第7のPMOSトランジスタP7のドレインにドレインが接続され、ゲートに前記電圧VAが印加される第2のNMOSトランジスタN2と、前記第1のNMOSトランジスタN1および第2のNMOSトランジスタN2のソース共通接続ノードと接地ノードとの間に接続され、ゲートにバイアス電圧VRが印加される定電流源用の第3のNMOSトランジスタN3とを具備する。

【0039】図3に示す差動増幅回路を使用した場合、この回路が動作するにはNMOSトランジスタの閾値V<sub>TN</sub>が入力電圧V<sub>IN</sub>より低いことが必要である。ここで、回路全体の電源電圧VDDの下限VDDMINを考えてみる。

【0040】差動増幅回路の各トランジスタが五極管動作するとして、閾値近辺で動作するものとし、+入力端、-入力端に同じ入力電圧V<sub>IN</sub>が印加されとする。バイアス電圧VRIがゲートに印加されているトランジスタは定電流源として働き、差動増幅回路の電流を絞ると共に入力電圧V<sub>IN</sub>が入っているトランジスタN1、N2を五極管動作させ増幅度を上げる働きをする。このため、差動対をなすNMOSトランジスタN1、N2のソース共通接続ノードの電位V<sub>S</sub>はV<sub>IN</sub>-V<sub>TN</sub>まで持ち上がり、NMOSトランジスタN1のドレイン電位であるV<sub>I</sub>とNMOSトランジスタN2のドレイン電位（出力電圧）V<sub>OUT</sub>はV<sub>S</sub>までしか下がることができない。

【0041】従って、PMOSトランジスタの閾値をV<sub>TP</sub>（V<sub>TP</sub>は負の値）とすると、電源電圧VDDがV<sub>S</sub>+|V<sub>TP</sub>|以上ないと、PMOSトランジスタはオンするこ

14

とができないので、この差動増幅回路は動かない。

【0042】また、差動増幅回路の出力電圧V<sub>OUT</sub>がゲートに入っているPMOSトランジスタも同様にオンしなければ、基準電圧発生回路は動作しなくなる。また、差動増幅回路が動いたとしても、電源電圧VDDがダイオード電圧VFI以下では回路全体（基準電圧発生回路）は動作しない。

【0043】V<sub>IN</sub>にVFIを代入してVDDMINを求める、動作条件は、V<sub>TN</sub><VFIであり、  
V<sub>TN</sub><V<sub>TP</sub>の場合、VDDMIN = VFI - V<sub>TN</sub> + |V<sub>TP</sub>|  
V<sub>TN</sub>≥V<sub>TP</sub>の場合、VDDMIN = VFI  
となる。

【0044】即ち、図3に示す差動増幅回路を使用した図2の基準電圧発生回路は、ダイオードの順方向電圧および電流密度を変えた複数個のダイオードの順方向電圧V<sub>F</sub>の差の電圧をそれぞれその電圧に比例した電流に換算し、その2つの電流を加え、それを電圧に変換することにより、基準電圧V<sub>ref</sub>を出力する。

【0045】この場合、トランジスタの閾値などの調整により電源電圧の下限VDDMINをダイオードのV<sub>F</sub>（約0.8V）位まで近づけることが可能になる。従って、低電圧動作を必要とする半導体装置に使用することが可能になる。このことは、従来のBGR回路では、トランジスタの閾値などを変えても電源電圧の下限VDDMINを約1.25V以下にできなかったことと比べて極めて有効である。

【0046】図4は、図2中の差動増幅回路DA1、DA2の例2を示す。この差動増幅回路は、PMOS差動増幅回路とNMOSカレントミラー負荷回路を有するCMOS差動増幅回路およびその出力を反転増幅するCMOSインバータからなり、入力電圧をPMOSトランジスタで受けて二段増幅するものである。

【0047】図4に示す差動増幅回路は、各ソースが共通接続された差動増幅対をなす2個のPMOSトランジスタP41、P42と、前記差動増幅対をなすPMOSトランジスタP41、P42のソース共通接続ノードと電源ノードとの間に接続され、ゲートにバイアス電圧VR2が印加される定電流源用PMOSトランジスタP40と、前記差動増幅対をなすPMOSトランジスタP41、P42のドレインと接地ノードとの間に負荷として接続され、カレントミラー接続された2個のNMOSトランジスタN41、N42とを具備する。

【0048】即ち、VDDノードにソースが接続され、ゲートにバイアス電圧VR2が印加される定電流源用のPMOSトランジスタP40と、前記PMOSトランジスタP40のドレインにソースが接続され、ゲートに前記電圧VAが印加されるPMOSトランジスタP41と、前記PMOSトランジスタP40のドレインにソースが接続され、ゲートに前記電圧VBが印加されるPMOSトランジスタP42と、前記PMOSトランジスタP42のドレインに



15

ドレイン・ゲートが接続され、ソースがVSSノードに接続されたNMOSTランジスタN41と、前記PMOSTランジスタP41のドレインにドレインが接続され、前記NMOSTランジスタN41とゲート同士・ソース同士が接続されたNMOSTランジスタN42と、VDDノードにソースが接続され、前記PMOSTランジスタP40とゲート同士が接続されたPMOSTランジスタP43と、前記PMOSTランジスタP43のドレインにドレインが接続され、ゲートに前記NMOSTランジスタN42のドレインが接続されたNMOSTランジスタN43とを具備する。

【0049】図4に示す差動増幅回路を使用した場合の電源電圧の下限VDDMINについて考察する。この差動増幅回路の+入力端、-入力端には同じ入力電圧VINが入加されるものとする。

【0050】バイアス電圧VR2がゲートに入っているトランジスタP40は定電流源として働き、差動増幅回路の電流を絞ると共に入力電圧VINが入っているトランジスタP41、P42を五極管動作させ、その増幅度を上げる働きをする。

【0051】このため、PMOSTランジスタP41のドレイン電位VDはVIN+|VTP|まで下がる。VINがゲートに入っているPMOSTランジスタP41、P42は電源電圧VDDがVIN+|VTP|以上ないとオンできない。

【0052】また、PMOSTランジスタP41、P42のソース共通接続ノードの電位をVD、NMOSTランジスタN41のドレイン電位をV1で表わすと、 $V1 < VD$  かつ  $V1 < VTN$ でないと、NMOSTランジスタN41、N42がオンしない。

【0053】従って、動作条件は、

$$\begin{aligned} V_{F1} + |V_{TP}| &> V_{TN} \\ V_{DDMIN} &= V_{F1} + |V_{TP}| \end{aligned}$$

となる。

【0054】次に、本発明の基準電圧発生回路の第2の実施の形態を説明する。

<実施例2> (図5)

図5は、図1の基準電圧発生回路の第2の実施の形態に係る一例を示す。

【0055】図5において、図1中の第2の電流変換回路12に対応する部分は、VDDノードとVSSノードとの間に直列に接続された第1のPMOSTランジスタP1および第1のPN接合D1と、VDDノードとVSSノードとの間に直列に接続され、前記第1のPMOSTランジスタP1とソース同士・ゲート同士が接続された第2のPMOSTランジスタP2、第1の抵抗素子R1および複数(N)個並列接続された第2のPN接合D2と、前記第1のPN接合D1の特性に依存する第1の電圧VAおよび第2のPN接合D2の特性に依存する第2の電圧VBが差動増幅回路DA1に入力し、この差動増幅回路DA1の出力を前記第1のPMOSTランジスタP1の

16

ゲートおよび第2のPMOSTランジスタP2のゲートに印加し、前記第1の電圧VAおよび第2の電圧VBが等しくなるように制御するフィードバック制御回路である。

【0056】図1中の第1の電流変換回路11に対応する部分は、前記第1のPN接合D1および前記第1の抵抗素子R1と第2のPN接合D2との直列回路にそれぞれ対応して並列に接続された第2の抵抗素子R4、R2である。

【0057】図1中の電流加算回路13に対応する部分は、前記第1の抵抗素子R1に第2の抵抗素子R2を接続した部分である。図1中の電流電圧変換回路14に対応する部分は、VDDノードにソースが接続され、前記第2のPMOSTランジスタP2とゲート同士が接続された第3のPMOSTランジスタP3と、この第3のPMOSTランジスタP3のドレインとVSSノードとの間に接続された電流電圧変換用の抵抗素子R3である。

【0058】なお、以下の説明では、PMOSTランジスタP1~P3のサイズは等しいものとする。また、第1の電圧VAは、前記第1のPMOSTランジスタP1のドレイン電圧が取り出され、第2の電圧VBは、前記第2のPMOSTランジスタP2のドレイン電圧が取り出されている。

【0059】VAとVBはともに差動増幅回路DA1に入力され、差動増幅回路DA1の出力はPMOSTランジスタP1~P3のゲートに与えられ、

$$VA = VB$$

となるようフィードバック制御される。PMOSTランジスタP1~P3はゲートが共通であるので、

$$I1 = I2 = I3$$

となる。

【0060】ここで、

$$R2 = R4$$

とすると、

$$I1A = I2A$$

$$I1B = I2B$$

$$VA = VF1$$

$$VB = VF2 + \Delta VF1$$

$$\Delta VF = \Delta VF1 - \Delta VF2$$

となる。R1の両端間の電圧は $\Delta VF$ であり、

$$I2A = \Delta VF1 / R1$$

$$I2B = VF1 / R2$$

となる。よって、

$$I2 = I2B + I2A = VF1 / R2 + \Delta VF / R1$$

であり、

$$V_{ref} = R3 \cdot I3 = R3 \cdot I2$$

$$= R3 \{ (VF1 / R2) + (\Delta VF / R1) \}$$

$$= (R3 / R2) \{ VF1 + (R2 / R1) \Delta VF \}$$

となる。

【0061】図5の基準電圧発生回路においても、Vre

17

f の温度依存性が無いようにR2 とR1 の抵抗比を設定することが可能であり、R2 とR3 の抵抗比を設定することによってVref. のレベルをほぼ電源電圧内で自由に設定できる。

【0062】上記実施例2の回路は、前記実施例1の回路に比べて、抵抗素子の使用数は増加するが、フィードバックループが1つで済む利点がある。

#### <実施例3> (図6)

図6は、図5の基準電圧発生回路を変形した例1を示している。

【0063】図6に示す基準電圧発生回路は、図5の基準電圧発生回路と比べて、前記第1の電圧VAに代えて、前記第1のPN接合D1に並列に接続された第2の抵抗素子R4の中間ノードの電圧VA'が取り出され、前記第2の電圧VBに代えて、前記第1の抵抗素子R1と第2のPN接合D2との直列回路に並列に接続された第2の抵抗素子R2の中間ノードの電圧VB'が取り出される点が異なり、その他は同じであるので図5中と同一符号を付している。

【0064】この基準電圧発生回路の動作原理は、図5の基準電圧発生回路の動作原理と同じであるが、差動増幅回路DA1の入力VA'、VB'は、VA、VBを抵抗分割したものである。VA'=VB'のときVA=VBとなる。この場合、差動増幅回路DA1の入力電圧VINをVFより下げることができるので、もし、回路全体の電源電圧の下限VDDMINが差動増幅回路DA1で決まっていれば、入力電圧VINを下げた分だけVDDMINを下げるができる。しかし、VA'、VB'を余り下げ過ぎると、VA、VBに比べてVA'、VB'の振幅が著しく減少するため、誤差が増える。

#### 【0065】<実施例4> (図7)

図7は、図5の基準電圧発生回路を変形した例2を示している。図7に示す基準電圧発生回路は、図5の基準電圧発生回路と比べて、前記第1のPMOSトランジスタP1のドレインと前記第1のPN接合D1の間および前記第2のPMOSトランジスタP2のドレインと前記第1の抵抗素子R1との間にそれぞれ対応して挿入接続された第3の抵抗素子R5をさらに有し、前記第1の電圧VAに代えて前記第1のPMOSトランジスタP1のドレイン電圧VA'、前記第2の電圧VBに代えて前記第2のPMOSトランジスタP2のドレイン電圧VB'が取り出される点が異なり、その他は同じであるので図5中と同一符号を付している。

【0066】この基準電圧発生回路の動作原理は実施例2と同じであるが、差動増幅回路DA1の入力VA'、VB'は、VA、VBより高くなる。また、VA'=VB'の時、VA=VBとなる。この場合、差動増幅回路DA1の入力電圧をVFより上げることができるので、もし、VTN>VFの時でも図3に示した差動増幅回路を使用することができ、これによりVDDMINを下げることができ50

18

る。

【0067】<実施例5～実施例9> (図8～図12)  
図8～図12は、図5の基準電圧発生回路における差動増幅回路の定電流源トランジスタのゲートバイアス電圧VR1あるいはVR2として、基準電圧発生回路内の電圧を用いる複数の具体例を示している。

【0068】図8に示す基準電圧発生回路(実施例5)は、図5の基準電圧発生回路における差動増幅回路DA1として図3を参照して前述した差動増幅回路が用いられている場合に適用されるものであり、図5の基準電圧発生回路と比べて、バイアス電圧VR1として前記第1の電圧VAが印加される点が異なり、その他は同じであるので図5中と同一符号を付している。

【0069】図9に示す基準電圧発生回路(実施例6)は、図5の基準電圧発生回路における差動増幅回路DA1として図3を参照して前述した差動増幅回路が用いられている場合に適用されるものであり、図5の基準電圧発生回路と比べて、バイアス電圧VR1として電流電圧変換回路の出力電圧Vrefが印加される点が異なり、その他は同じであるので図5中と同一符号を付している。

【0070】図10に示す基準電圧発生回路(実施例7)は、図5の基準電圧発生回路における差動増幅回路DA1として図3を参照して前述した差動増幅回路が用いられている場合に適用されるものであり、図5の基準電圧発生回路と比べて、バイアス電圧VR1を生成するためのバイアス回路が付加されているが異なり、その他は同じであるので図5中と同一符号を付している。

【0071】上記バイアス回路は、VDDノードにソースが接続され、ゲートに前記差動増幅回路DA1の出力電圧が印加されるPMOSトランジスタP10と、前記PMOSトランジスタP10のトレインとVSSノードとの間に接続され、ドレイン・ゲート相互が接続されたNMOSトランジスタN10とを具備し、前記PMOSトランジスタP10のドレイン電圧が前記バイアス電圧VR1となる。

【0072】図11に示す基準電圧発生回路(実施例8)は、図5の基準電圧発生回路における差動増幅回路DA1として図4を参照して前述した差動増幅回路が用いられている場合に適用されるものであり、図5の基準電圧発生回路と比べて、バイアス電圧VR2として前記差動増幅回路DA1の出力電圧が印加される点が異なり、その他は同じであるので図5中と同一符号を付している。

【0073】図12に示す基準電圧発生回路(実施例9)は、図5の基準電圧発生回路における差動増幅回路DA1として図4を参照して前述した差動増幅回路が用いられている場合に適用されるものであり、図5の基準電圧発生回路と比べて、バイアス電圧VR2を生成するためのバイアス回路が付加されているが異なり、その他は同じであるので図5中と同一符号を付している。

【0074】上記バイアス回路は、VDDノードにソース

19

が接続され、ゲート・ドレイン相互が接続されたPMOSトランジスタP12と、前記PMOSトランジスタP12のドレインとVSSノードとの間に接続され、ゲートに前記第1の電圧VAが印加されるNMOSトランジスタN12とを具備し、前記PMOSトランジスタP12のドレイン電圧が前記バイアス電圧VR2となる。

【0075】上記した図8～図12に示したように、基準電圧発生回路内の電圧を差動増幅回路DA1のバイアス電圧として用いる基準電圧発生回路によれば、電源電圧VDDによらず、一定の消費電流となる。

【0076】次に、本発明の基準電圧発生回路の第3の実施の形態を説明する。

＜実施例6＞（図13～図15）

第3の実施の形態に係る基準電圧発生回路は、図2を参照して前述した第1の実施の形態に係る基準電圧発生回路と比べて、図13に示すように、電流電圧変換用の抵抗素子R2aおよび第2の抵抗素子R3aが、Vref、VCに関して、複数の電圧レベルを生成可能な構造を有することを特徴とするものであり、図2中と同一部分には同一符号を付している。

【0077】図13の基準電圧発生回路は、抵抗値、抵抗比を可変とすることにより、温度特性または出力電圧を可変、調整し、あるいは、複数のレベルを選択的に取り出すことが可能になる。

【0078】図14は、図13中の複数の電圧レベルを生成可能な電流電圧変換用の抵抗素子R2aまたは第2の抵抗素子R3aの丸枠で囲んだ部分の構造の一例を示している。即ち、直列接続された複数の抵抗素子R14l～R14nの一端ノードまたは少なくとも1つの分圧ノードと基準電圧Vrefの出力端との間を選択的に接続するためのスイッチ素子が設けられている。この場合、上記スイッチ素子として、PMOSトランジスタとNMOSトランジスタが並列接続されて相補信号により駆動されるCMOSトランスファゲートTG1～TGnが用いられている。

【0079】さらに、第2の抵抗素子R3aについては、トリミング可能とすることで、可変の抵抗値を得ることもできる。図15は、このトリミング可能な第2の抵抗素子R3aの構造の一例を示している。即ち、直列接続された複数の抵抗素子R15l～R15nのそれぞれに並列に例えばレーザ光照射により溶断可能なポリシリコンフューズF1～Fnが形成されている。

【0080】次に、本発明の基準電圧発生回路の第4の実施の形態を説明する。

＜実施例11＞（図16）

図16は、第4の実施の形態に係る基準電圧発生回路の一例を示す。

【0081】図16に示す基準電圧発生回路は、図5～図12を参照して前述した実施例2～実施例9の基準電圧発生回路と比べて、電流電圧変換用の抵抗素子とし

20

て、直列接続された複数の抵抗素子R14l～R14nを用い、各抵抗素子間のノードと基準電圧Vrefの出力端との間にスイッチ素子TG1～TGnが接続されている点が異なり、図5中と同一部分には同一符号を付している。即ち、図16に示す基準電圧発生回路では、直列接続された複数の抵抗素子R14l～R14nの一端ノードまたは少なくとも1つの分圧ノードから選択的に電流電圧変換出力電圧を取り出すためにスイッチ素子が接続されている。ここでのスイッチ素子とは、例えば前述した第3の実施の形態の場合と同様のCMOSトランスファゲートで形成すればよい。

【0082】＜実施例12＞（図17）

次に、本発明の基準電圧発生回路の第5の実施の形態を説明する。第5の実施の形態に係る基準電圧発生回路は、図5～図12を参照して前述した第2の実施の形態に係る基準電圧発生回路と比べて、図17に示すように、電流電圧変換回路が複数組（例えば3組）設けられており、各組の電流電圧変換回路の負荷が分離されていることを特徴とするものであり、図5中と同一部分には同一符号を付している。

【0083】この構成によれば、各組の電流電圧変換回路の負荷の外乱ノイズが分離される利点があり、各組の電流電圧変換回路の負荷駆動力が例えば互いに異なるように、任意に設定することが可能になる。

【0084】次に、本発明の基準電圧発生回路の第6の実施の形態を説明する。

＜実施例13＞（図18）

第6の実施の形態に係る基準電圧発生回路は、図5～図12を参照して前述した第2の実施の形態に係る基準電圧発生回路と比べて、フィードバック制御回路（差動増幅回路DA1）の発振を防止するために、図18に示すように、第1の電圧VAの取り出しノードと接地ノードとの間、前記差動増幅回路DA1の出力ノードとVDDノードとの間にそれぞれ対応してキャパシタC1、C2が必要に応じて接続されていることを特徴とするものであり、図5中と同一部分には同一符号を付している。なお、いうまでもなく、第1の実施の形態に係る基準電圧発生回路に対しても同様のキャパシタを設けることができる。

【0085】次に、本発明の基準電圧発生回路の第7の実施の形態を説明する。

＜実施例14＞（図19）

第7の実施の形態に係る基準電圧発生回路は、図5～図12を参照して前述した第2の実施の形態に係る基準電圧発生回路と比べて、図19に示すように、前記差動増幅回路DA1の出力ノードと接地ノードとの間に、前記出力ノードを電源投入時に一時的に接地電位にリセットするためのスタートアップ用のNMOSトランジスタN19が接続されており、そのゲートに電源投入時に生成されるパワーオンリセット信号PONが印加されることを

21

特徴とするものであり、図5中と同一部分には同一符号を付している。

【0086】上記スタートアップ用のNMOSTランジスタN19を接続する理由は、 $V_A, V_B$  が0Vの時もフィードバック系の安定点となるので、このような0Vの安定点を避けるためである。なお、いうまでもなく、第1の実施の形態に係る基準電圧発生回路に対しても同様のNMOSTランジスタを設けることができる。

【0087】さらに、上記各実施例は基準電圧発生回路を示したが、電流電圧変換回路を除いた構成に着目すれば、本発明は基準電流発生回路を実現することが可能である。

【0088】即ち、例えば図2中の電流電圧変換用抵抗R2を省略した基準電流発生回路、図5中の電流電圧変換用抵抗R3を省略した基準電流発生回路によれば、PMOSTランジスタP3のドレインから電流出力が得られる。

【0089】また、例えば図20に示すように、図5中の電流電圧変換用抵抗R3を省略した基準電流発生回路において、PMOSTランジスタP3のドレインからカレントミラー回路CMを介して基準電流 $I_{ref}$ を得るようにしてもよい。このカレントミラー回路CMは、前記PMOSTランジスタP3のドレインとVSSノードとの間にドレイン・ソース間が接続され、ドレイン・ゲート相互が接続されたNMOSTランジスタN20と、前記NMOSTランジスタにカレントミラー接続されたNMOSTランジスタN21とからなる。こうした基準電流発生回路においては、上述したようにPMOSTランジスタP3のドレインから直接、電流出力を得る場合とは逆方向の基準電流 $I_{ref}$ を得ることができる。

【0090】

【発明の効果】上述したように本発明の基準電圧発生回路によれば、温度依存性、電源電圧依存性が少ない出力電圧を電源電圧内の任意の値に設定でき、トランジスタの閾値などの調整により、電源電圧の下限 $V_{DDMIN}$ をダイオードの順方向電圧 $V_F$ に近づけることができる。また、本発明の基準電流発生回路によれば、温度依存性、電源電圧依存性が少ない基準電流を発生することができる。

【図面の簡単な説明】

【図1】本発明の基準電圧発生回路の基本構成を示すブロック図。

【図2】図1の基準電圧発生回路の第1の実施の形態に係る実施例1を示す回路図。

【図3】図2中の差動増幅回路の一例を示す回路図。

【図4】図2中の差動増幅回路の他の例を示す回路図。

【図5】図1の基準電圧発生回路の第2の実施の形態に係る実施例を示す回路図。

【図6】図5の基準電圧発生回路を変形した例1を示す

22

回路図。

【図7】図5の基準電圧発生回路を変形した例2を示す回路図。

【図8】図5の基準電圧発生回路における差動増幅回路の定電流源トランジスタのゲートバイアス電圧として基準電圧発生回路内の電圧を用いる具体例1を示す回路図。

【図9】図5の基準電圧発生回路における差動増幅回路の定電流源トランジスタのゲートバイアス電圧として基準電圧発生回路内の電圧を用いる具体例2を示す回路図。

【図10】図5の基準電圧発生回路における差動増幅回路の定電流源トランジスタのゲートバイアス電圧として基準電圧発生回路内の電圧を用いる具体例3を示す回路図。

【図11】図5の基準電圧発生回路における差動増幅回路の定電流源トランジスタのゲートバイアス電圧として基準電圧発生回路内の電圧を用いる具体例4を示す回路図。

【図12】図5の基準電圧発生回路における差動増幅回路の定電流源トランジスタのゲートバイアス電圧として基準電圧発生回路内の電圧を用いる具体例5を示す回路図。

【図13】図1の基準電圧発生回路の第3の実施の形態を示す回路図。

【図14】図13中の複数の電圧レベルを生成可能な抵抗素子の構造の一例を示す回路図。

【図15】トリミング可能な第2の抵抗素子の構造の一例を示す回路図。

【図16】図1の基準電圧発生回路の第4の実施の形態に係る基準電圧発生回路の一例を示す回路図。

【図17】図1の基準電圧発生回路の第5の実施の形態に係る基準電圧発生回路の一例を示す回路図。

【図18】図1の基準電圧発生回路の第6の実施の形態に係る基準電圧発生回路の一例を示す回路図。

【図19】図1の基準電圧発生回路の第7の実施の形態に係る基準電圧発生回路の一例を示す回路図。

【図20】本発明の基準電流発生回路の一例を示す回路図。

【図21】従来のバイポーラトランジスタを用いたバンドギャップレファレンス回路の一例を示す回路図。

【図22】従来のCMOSTランジスタを用いたバンドギャップレファレンス回路の一例を示す回路図。

【符号の説明】

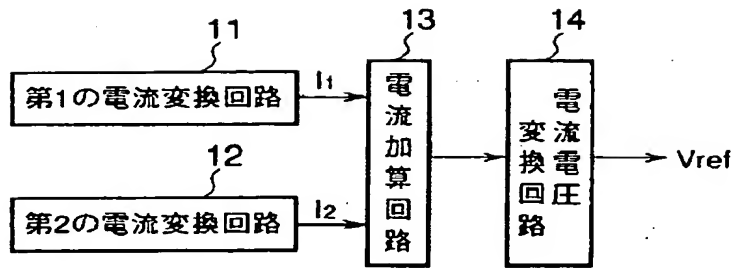
11…第1の電流変換回路、

12…第2の電流変換回路、

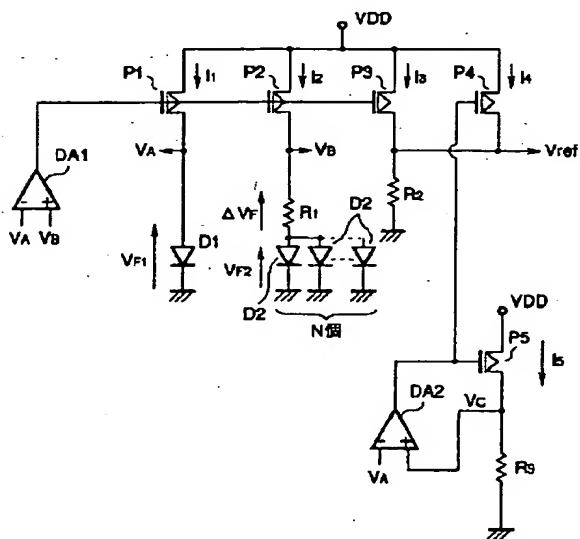
13…電流加算回路、

14…電流電圧変換回路。

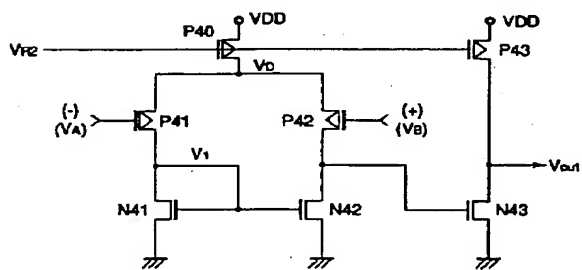
【図 1】



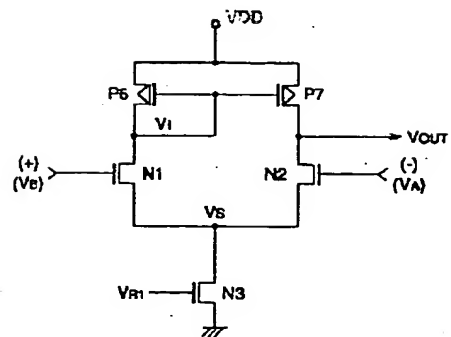
【图 2】



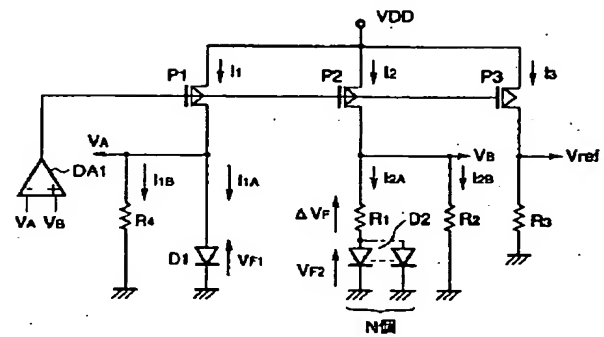
【図 4】



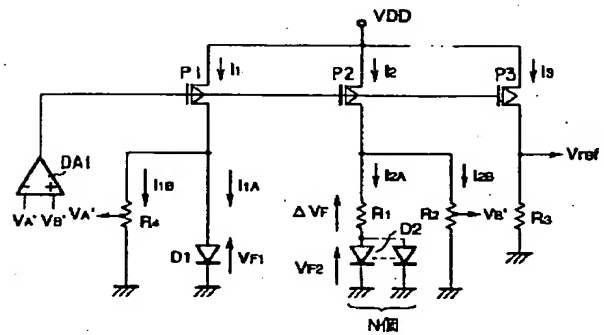
【図 3】



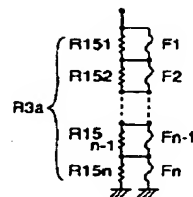
【図 5】



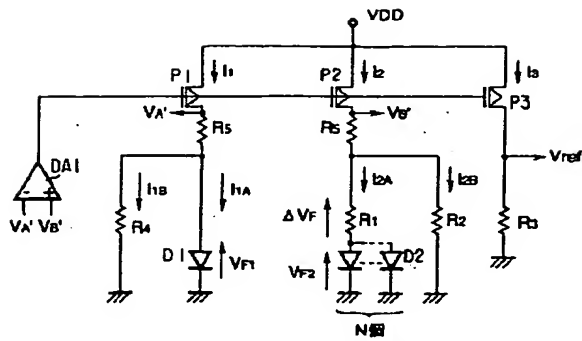
【図 6】



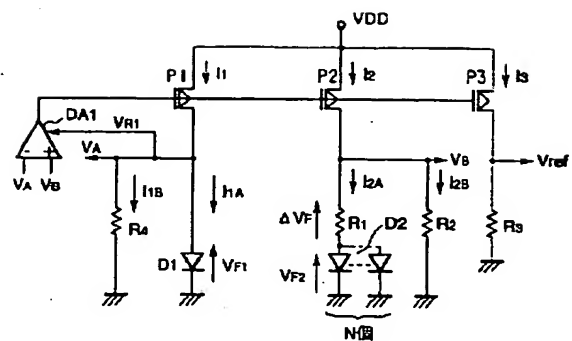
【図 15】



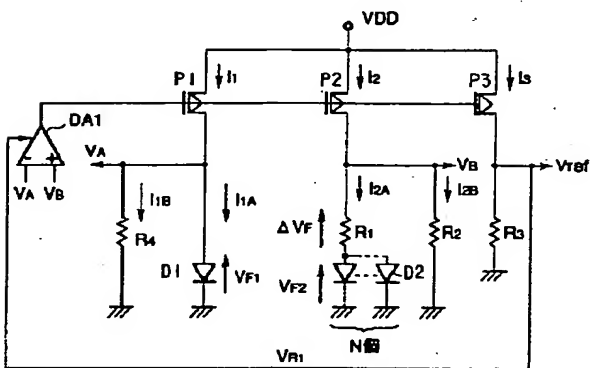
【图 7】



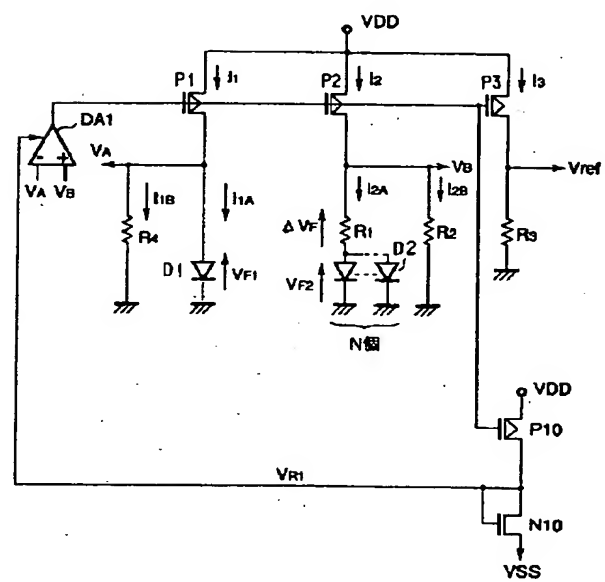
【図 8】



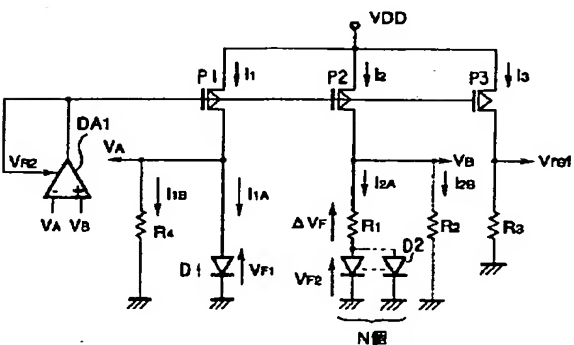
【图9】



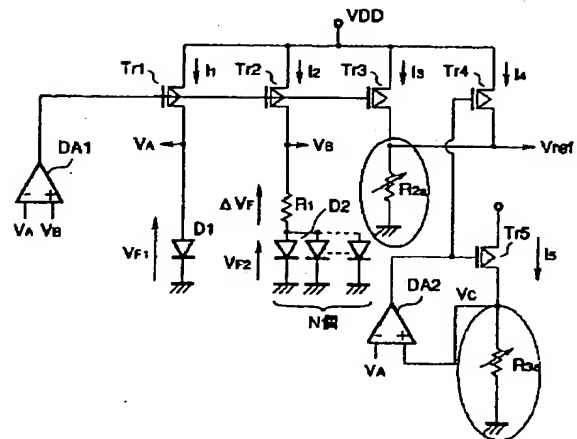
【図 10】



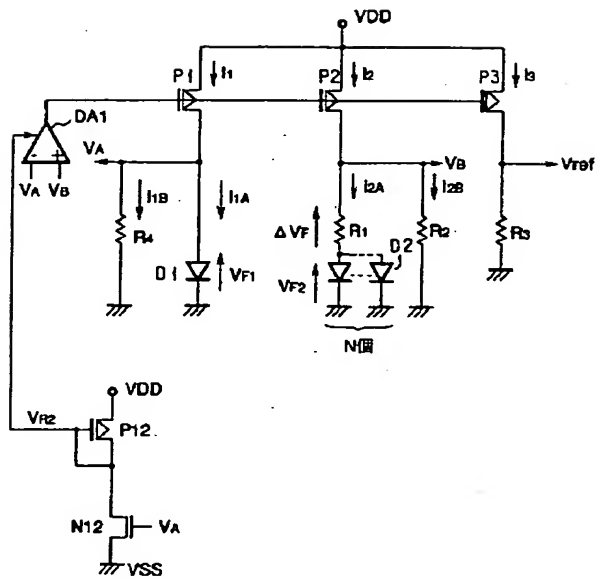
【図 1 1】



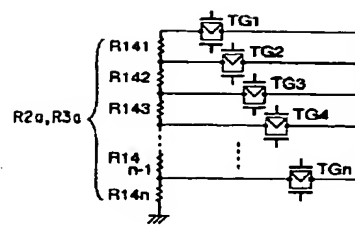
【图 1.3】



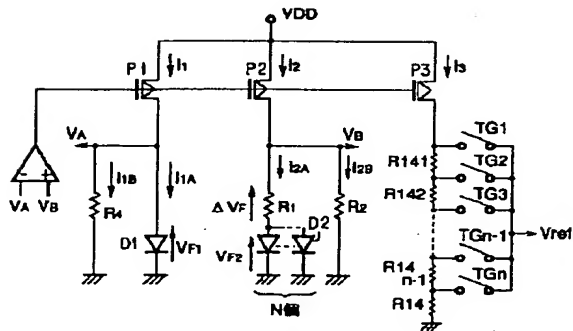
【図 12】



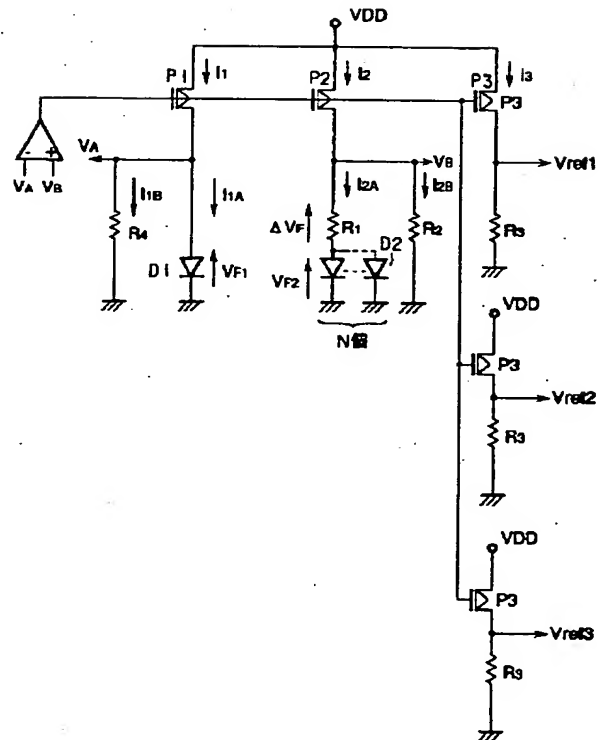
【図 14】



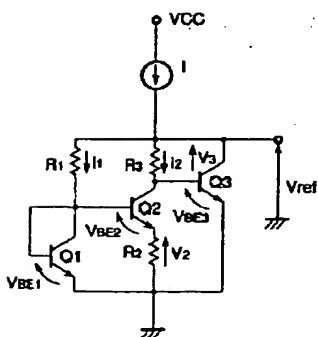
【図 16】



【図 17】

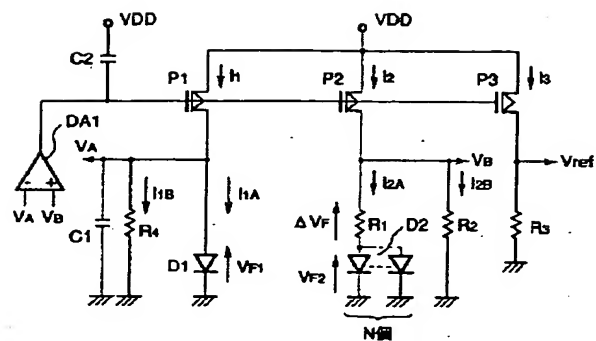


【図 21】

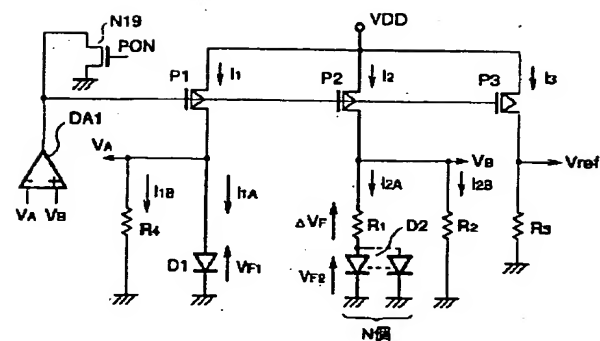




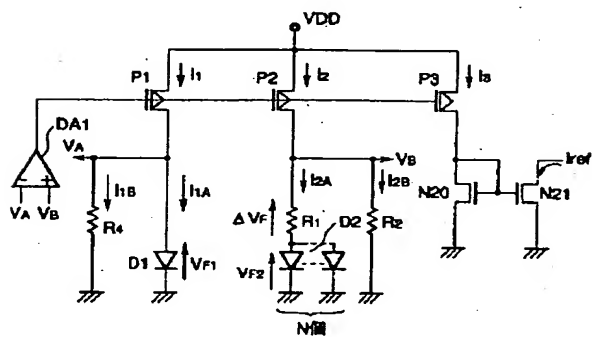
【図 18】



【図 19】



【図 20】



【图 2 2】

